

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-194750

(43) 公開日 平成11年(1999) 7月21日

(51) Int.Cl. ⁶	識別記号	F I
G 0 9 G 3/36		G 0 9 G 3/36
G 0 2 F 1/133	5 0 5	G 0 2 F 1/133 5 0 5
G 0 9 F 9/00	3 4 6	G 0 9 F 9/00 3 4 6 D
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20 6 1 1 A
	6 2 1	6 2 1 M

審査請求 未請求 請求項の数 4 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願平10-347

(22) 出願日 平成10年(1998) 1月5日

(71) 出願人 000221339

東芝電子エンジニアリング株式会社
神奈川県川崎市川崎区日進町7番地1

(71) 出願人 000003078

株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72) 発明者 加賀 亜希子

神奈川県川崎市川崎区日進町7番地1 東
芝電子エンジニアリング株式会社内

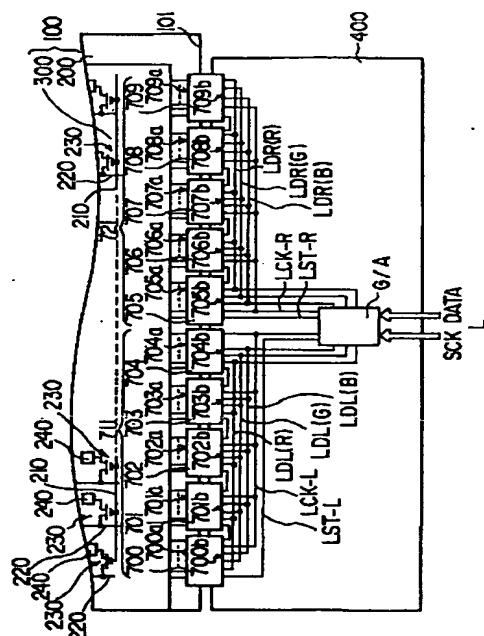
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 映像制御装置およびこの映像制御装置を備える平面ディスプレイ装置

(57) 【要約】

【課題】 低消費電力化の要求を満足できるようにする。

【解決手段】 映像制御装置は一列に並ぶ複数の表示画素で各々構成される複数の水平画素ラインを持つ液晶パネル100の駆動するもので、これら画素を2グループに区分する配列のドライバグループ711, 721と、これら画素に割り当てられる画素データに対応して表示画素をドライバグループ711, 721に駆動させる回路基板400とを備える。回路基板400はドライバグループ711, 721の内部まで伸びる配線LDL(R), LDR(R)のいずれかを介して各グループの表示画素用の画素データに対応ドライバグループに分配する制御部G/Aを含み、制御部G/Aはドライバグループ711, 721から等距離にある中央位置から所定距離だけドライバグループ711, 721の配列に平行な方向に離れて配置され、所定距離は画素データが20MHz以上の高い周波数である場合にドライバグループ711, 721の合計配線長の0%より長く15%より短い値に設定される。



【特許請求の範囲】

【請求項 1】 一列に並ぶ複数の表示画素で各々構成される複数の水平画素ラインを備える平面ディスプレイの映像制御装置であって、

前記複数の表示画素を第 1 および第 2 グループに区分するよう配列されこれら第 1 および第 2 グループの表示画素をそれぞれ駆動する第 1 および第 2 駆動部と、各水平画素ラインの走査期間において前記複数の表示画素にそれぞれ割り当てられる画素データを出力し、これら画素データに対応して前記複数の表示画素を駆動するよう前記第 1 および第 2 駆動部を制御する制御部とを備え、

前記制御部は互いに電氣的に分離された状態に設定される第 1 および第 2 データ配線部と、これら第 1 および第 2 データ配線部により前記第 1 および第 2 駆動部にそれぞれ接続され、各グループの表示画素に割り当てられる画素データをこれら第 1 および第 2 データ配線部の対応する 1 つだけを介して対応駆動部に分配する配給手段とを含み、

前記第 1 および第 2 データ配線部は前記配給手段からそれぞれ前記第 1 および第 2 駆動部の内部まで伸びるように構成され、

前記配給手段は前記第 1 および第 2 駆動部から等距離にある中央位置から所定距離だけ前記第 1 および第 2 駆動部の配列に平行な方向に離れて配置され、

前記所定距離は画素データが 2 0 M H z 以上の高い周波数である場合に前記第 1 および第 2 駆動部の合計線路長の 0 % より長く 1 5 % より短い値に設定されることを特徴とする映像制御装置。

【請求項 2】 前記所定距離は画素データが 2 0 M H z 以上の高い周波数である場合に前記第 1 および第 2 駆動部の合計線路長の約 1 0 % の値に設定されることを特徴とする請求項 1 に記載の映像制御装置。

【請求項 3】 一列に並ぶ複数の表示画素で各々構成される複数の水平画素ラインを有する平面ディスプレイ並びにこの平面ディスプレイの映像制御装置を備える平面ディスプレイ装置であって、

前記映像制御装置は前記複数の表示画素を第 1 および第 2 グループに区分するよう配列されこれら第 1 および第 2 グループの表示画素をそれぞれ駆動する第 1 および第 2 駆動部と、

各水平画素ラインの走査期間において前記複数の表示画素にそれぞれ割り当てられる画素データを出力し、これら画素データに対応して前記複数の表示画素を駆動するよう前記第 1 および第 2 駆動部を制御する制御部とを備え、

前記制御部は互いに電氣的に分離された状態に設定される第 1 および第 2 データ配線部と、これら第 1 および第 2 データ配線部により前記第 1 および第 2 駆動部にそれぞれ接続され、各グループの表示画素に割り当てられる

画素データをこれら第 1 および第 2 データ配線部の対応する 1 つだけを介して対応駆動部に分配する配給手段とを含み、

前記第 1 および第 2 データ配線部は前記配給手段からそれぞれ前記第 1 および第 2 駆動部の内部まで伸びるように構成され、

前記配給手段は前記第 1 および第 2 駆動部から等距離にある中央位置から所定距離だけ前記第 1 および第 2 駆動部の配列に平行な方向に離れて配置され、

前記所定距離は画素データが 2 0 M H z 以上の高い周波数である場合に前記第 1 および第 2 駆動部の合計線路長の 0 % より長く 1 5 % より短い値に設定されることを特徴とする平面ディスプレイ装置。

【請求項 4】 前記所定距離は画素データが 2 0 M H z 以上の高い周波数である場合に前記第 1 および第 2 駆動部の合計線路長の約 1 0 % の値に設定されることを特徴とする請求項 3 に記載の平面ディスプレイ装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】本発明は、液晶ディスプレイに代表される平面ディスプレイの映像制御装置およびこの映像制御装置を備える平面ディスプレイ装置に関する。

【 0 0 0 2 】

【従来の技術】平面ディスプレイのうち液晶ディスプレイは、軽量、薄型、低消費電力の特徴を生かして、パーソナル・コンピュータ、ワードプロセッサあるいはテレビ表示用等の各種表示装置として利用されるようになってきた。

【 0 0 0 3 】従来の液晶ディスプレイは、例えば図 1 9 に示すように液晶パネル 1 0 0 の一端辺 1 0 1 に沿って配置される 8 個の X-TCP (Tape Carrier Package) 7 0 0, 7 0 1, ..., 7 0 9 を備える。各 X-TCP はフレキシブル配線フィルムとこのフレキシブル配線フィルム上に半導体チップとしてマウントされるドライバ IC との一体物であり、液晶パネル 1 0 0 の信号線に映像信号電圧を出力する。尚、図示しないが、複数の Y-TCP が走査線に順次走査パルスを出力するために液晶パネルの他の一端辺に沿って配置される。各 Y-TCP は、フレキシブル配線フィルムとこのフレキシブル配線フィルムに半導体チップとしてマウントされシフトレジスタを主体として構成されるドライバ IC との一体物である。

【 0 0 0 4 】X-TCP 7 0 0, 7 0 1, ..., 7 0 9 は互いにカスケード接続されると共に、駆動回路基板の制御部 G/A に接続される。この制御部 G/A は例えば外部から入力されるシステムクロック信号 SCK に基づいて水平クロック信号 CK および水平スタート信号 ST を発生し、ビデオデータ DATA に基づいて赤 (R)、緑 (G)、青 (B) の画素データ D (R), D (G), D

(B) を発生し、これらを制御信号として X-TCP700, 701, ..., 709 に供給する。水平クロック信号 CK および画素データ D (R), D (G), D (B) は X-TCP700, 701, ..., 709 に並列的に供給される。水平スタート信号 ST は初段の X-TCP701 に供給され、さらに X-TCP700, 701, ..., 709 において順次転送される。各 X-TCP700, 701, ..., 709 は水平クロック信号 CK に応答して水平スタート信号 ST を出力する一方でこれを次段にシフトするシフトレジスタと、各水平スタート信号 ST の出力タイミングで画素データをサンプリングして映像信号電圧に変換すると共にこの信号電圧を水平スタート信号 ST の出力位置に対応する信号線に供給する D/A 変換器で構成される。

【0005】

【発明が解決しようとする課題】ところで、最近では、液晶ディスプレイを低消費電力化することが要求されている。公知の技術では、液晶ディスプレイの消費電力が例えば各 X-TCP の D/A 変換器に対応信号線の駆動期間を除いて停止させることにより低減される。

【0006】しかしながら、この技術はこの低消費電力化の要求を十分に満足することができない。本発明は上述した技術課題を解決するために成されたものであって、低消費電力化の要求を満足できる映像制御装置を提供することを目的とする。また、本発明は水平画素数が増大される場合でも高速動作を可能にする映像制御装置を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明の目的は、一列に並ぶ複数の表示画素で各々構成される複数の水平画素ラインを備える平面ディスプレイの映像制御装置であって、複数の表示画素を第1および第2グループに区分するように配列されこれら第1および第2グループの表示画素をそれぞれ駆動する第1および第2駆動部と、各水平画素ラインの走査期間において複数の表示画素にそれぞれ割り当てられる画素データを出力し、これら画素データに対応して複数の表示画素を駆動するよう第1および第2駆動部を制御する制御部とを備え、制御部は互いに電氣的に分離された状態に設定される第1および第2データ配線部と、これら第1および第2データ配線部により第1および第2駆動部にそれぞれ接続され、各グループの表示画素に割り当てられる画素データをこれら第1および第2データ配線部の対応する1つだけを介して対応駆動部に分配する配給部とを含み、第1および第2データ配線部は配給部からそれぞれ第1および第2駆動部の内部まで伸びるように構成され、配給部は第1および第2駆動部から等距離にある中央位置から所定距離だけ第1および第2駆動部の配列に平行な方向に離れて配置され、所定距離は画素データが20MHz以上の高い周波数である場合に第1および第2駆動部の合計線路長の

0%より長く15%より短い値に設定される映像制御装置により達成される。

【0008】一般にデータ信号が送信側出力端から受信側入力端にデータ配線を介してプリント基板上で伝送される場合、インピーダンスの違いのためにデータ配線においてデータ信号の反射が起り、信号波形が反射波の重なりによって歪み、これがオーバーシュートあるいはアンダーシュートの発生原因となる。この歪みが大きい場合、しきい値電圧の割り込みで誤動作するおそれがある。この映像制御装置において、配給部は第1および第2駆動部から等距離にある中央位置から所定距離だけ第1および第2駆動部の配列に平行な方向に離れて配置される。所定距離は画素データが20MHz以上の高い周波数に設定される場合に第1および第2駆動部の合計線路長の0%より長く15%より短い値に設定される。これにより、反射の影響による信号波形の歪みやオーバーシュートあるいはアンダーシュート、DCレベルへの影響の生じない条件でデータ信号が伝達され、理想的な波形を得ることが可能となる。これは信号波形のシュミレーションにより実証されている。

【0009】図6は信号波形のシュミレーションで用いられた複数の駆動部と配給部との配置関係を波形観測ポイントと共に示す。このシュミレーションでは、10個のTCP1-TCP10が配給部G/Aからのデータ信号を受取る複数の駆動部として設けられ、配給部G/Aの出力信号波形ならびにTCP1およびTCP10の入力信号波形が観測された。この波形観測は、データ信号の周波数fを10MHz, 20MHz, 34MHz, 40MHzにそれぞれ設定し、配給部G/AをTCP1-TCP10の合計線路長Lの中央L-Centerに対応する0%位置、合計線路長Lの10%に相当する距離だけ0%位置から離れた10%位置、合計線路長Lの15%に相当する距離だけ0%位置から離れた15%位置にそれぞれ配置して行われた。このシュミレーションで得られた信号波形を示す図7から図18を参照すると、TCP1およびTCP10の入力信号波形には著しい差が無いことがわかる。このため、例えばTCP1の入力信号波形に注目する。配給部G/Aが0%位置に配置される場合、DCレベルが反射の影響によって3.3Vから3.8Vになる。従って、この配置は好ましくない。また、配給部G/Aが15%位置に配置される場合、反射に起因するショルダーが波形の立上がり付近に発生してしまう。ただし、これはデータ周波数が10MHzである場合には発生しない。このようなことから、データ周波数が20MHz以上であれば、配給部G/Aが10%位置付近に配置されることが好ましいことがわかる。

【0010】

【発明の実施の形態】以下に、本発明の第1実施形態に係る液晶ディスプレイを図面を参照して説明する。この液晶ディスプレイ1は、図1に示すようなXGA用液晶

パネル 100 を含む。液晶パネル 100 はアレイ基板 200、対向基板 300、およびこれらの間に保持される液晶層で構成される。アレイ基板 200 はガラス基板上に 1024×3 本の信号線 220 および 784 本の走査線 210、信号線 220 と走査線 210 とに接続される薄膜トランジスタ 230（以下、TFT と略称する。）を、これら TFT 230 にそれぞれ接続される画素電極 240 のマトリクスアレイを含む。各行の画素電極 240 は 1 水平走査期間において供給される映像信号電圧により駆動される 1 水平画素ラインを構成する。各 TFT 230 はアモルファスシリコンの活性層をベースにして形成される。対向基板 300 はガラス基板上に形成される対向電極およびカラーフィルタ層を含む。液晶層はアレイ基板 200 および対向基板 300 上にそれぞれ形成される配向膜間に保持される液晶材料で構成される。

【0011】この液晶ディスプレイ 1 は、図 1 および図 2 に示すように液晶パネル 100 の一端辺 101 に沿って配置される例えば 10 個の X-TCP700、701、…、709 を備える。これら X-TCP700、701、…、709 はフレキシブル配線フィルムと、このフレキシブル配線フィルム上に半導体チップとしてマウントされるドライバ IC との一体物である。これら X-TCP700、701、…、709 は映像信号電圧を出力するためにアレイ基板 200 の信号線 220 の一端に電気的に接続される 330 個の出力端子 700a、701a、…、709a と、駆動回路基板 400 に接続される入力端子 700b、701b、…、709b とを含む。X-TCP700、701、702、703、704 は第 1 ドライバグループ 711 を構成し、X-TCP705、706、707、708、709 は第 2 ドライバグループ 721 を構成する。各水平画素ラインのカラー表示画素はドライバグループ 711 および 721 によって第 1 および第 2 グループに駆動単位として区分される。また、図示しないが、走査線 210 に走査パルスをそれぞれ出力する 2 個の Y-TCP が液晶パネル 100 の他の一端辺に沿って配列される。

【0012】この液晶パネル 100 は、表示領域に対応した開口 501 を含む箱状の金属から成る第 1 フレーム 500 と、樹脂製の枠状体の第 2 フレーム 600 とによって図 1 に示すように挟持され、互いに対角 4 点でネジ止めされている。

【0013】第 2 フレーム 600 は、アクリル樹脂で成形される楔型の導光板 801 と、図示しないが導光板 801 の一端面に近接して配置される管状光源とを保持する。導光板 801 は、図示しないが、液晶パネル 100 と相反する側に、管状光源からの光源光を選択的に液晶パネル 100 に導く乳白色の印刷パターンを含む。この印刷パターンに換えて、光散乱溝等を一体的に成形しても良い。また、この樹脂製の第 2 フレーム 600 は、一

体型、もしくは分割型により構成される。導光板 801 および管状光源はその厚さ方向に重ねて収納され、さらに導光板 801 は収納溝 605 により支持され固定される。また、この第 2 フレーム 600 は、導光板 801 の肉薄側に対応する領域裏面に上述した駆動回路基板 400 を保持する。

【0014】ここで、液晶ディスプレイ 1 の回路構成を図 2 を参照してさらに詳細に説明する。液晶ディスプレイ 1 は、ドライバグループ 711 および 721 を独立に動作するように制御するために駆動回路基板 400 に配置されるゲートアレイ制御部 G/A を有する。このゲートアレイ制御部 G/A は水平クロック信号 CK-L および水平スタート信号 ST-L を外部から入力されるシステムクロック信号 SCK に基づいて発生し、第 1 グループの赤 (R)、緑 (G)、青 (B) 表示画素に割り当てられる画素データ列 DL (R)、DL (G)、および DL (B) をビデオデータ DATA に基づいて発生し、これらを制御信号として第 1 ドライバグループ 711 に供給すると共に、水平クロック信号 CK-R および水平スタート信号 ST-R をシステムクロック信号 SCK に基づいて発生し、第 2 グループの赤 (R)、緑 (G)、青 (B) 表示画素に割り当てられる画素データ列 DR (R)、DR (G)、および DR (B) をビデオデータ DATA に基づいて発生し、これらを制御信号として第 2 ドライバグループ 721 に供給する。

水平クロック信号 CK-L および画素データ列 DL (R)、DL (G)、DL (B) は接続配線 LCK-L および接続配線 LDL (R)、LDL (G)、LDL (B) を介して X-TCP700、701、702、703、704 に並列的に供給される。水平スタート信号 ST-L は接続配線 LST-L を介して初段の X-TCP700 に供給され、さらにこの X-TCP700、701、702、703、704 において順次転送される。このため X-TCP700、701、702、703、704 はカスケード接続される。各 X-TCP700、701、702、703、704 は水平クロック信号 CK-L に応答して水平スタート信号 ST-L を出力する一方でこれを次段にシフトするシフトレジスタと、各水平スタート信号 ST-L の出力タイミングで画素データをサンプリングして映像信号電圧に変換すると共にこの映像信号電圧を水平スタート信号 ST-L の出力位置に対応する信号線 220 に供給する D/A 変換器で構成される。

【0015】水平クロック信号 CK-R および画素データ列 DR (R)、DR (G)、DR (B) は接続配線 LCK-R および接続配線 LDR (R)、LDR (G)、LDR (B) を介して X-TCP705、706、707、708、709 に並列的に供給される。水平スタート信号 ST-R は接続配線 LST-R を介して X-TCP705 に供給され、さらに X-TCP705、70

6, 707, 708, 709において順次転送される。このため、X-TCP705, 706, 707, 708, 709はカスケード接続される。各X-TCP705, 706, 707, 708, 709は水平クロック信号CK-Rにตอบสนองして水平スタート信号S-T-Rを出力しシフトするシフトレジスタと、各水平スタート信号S-T-Rの出力タイミングで画素データをサンプリングして映像信号電圧に変換すると共にこの映像信号電圧を水平スタート信号S-T-Rの出力位置に対応する信号線220に供給するD/A変換器で構成される。

【0016】ゲートアレイ制御部G/Aは駆動回路基板400上でドライバグループ711および721から等距離にある中央位置から所定距離だけドライバグループ711および721の配列に平行な方向に離れて配置される。この所定距離は、画素データが20MHz以上の高い周波数である場合にドライバグループ711および721の合計線路長の0%よりも長く15%よりも短い値、例えば約10%の値に設定される。これにより、X-TCP700, 701, ..., 709への線路長を十分に短くし、ドライバグループ711および721の配線容量、配線抵抗、さらにインダクタンスを互いに理想的な値に設定できる。

【0017】接続配線LCK-Lおよび接続配線LCK-Rは、ゲートアレイ制御部G/Aを基準として配置される。これらがドライバグループ711および721から等距離にある中央位置からドライバグループ711および721の合計線路長の約10%の所定距離だけドライバグループ711および721の配列に平行な方向に離れて配置される場合、対称ではないがこれらの線路長が十分短くなるため、ドライバグループ711および721の配線容量、配線抵抗、さらにインダクタンスを互いに理想的な値に設定できる。

【0018】このゲートアレイ制御部G/Aは、図3に示すように画素データ列DL(R), DL(G), DL(B)、水平スタート信号S-T-L、水平クロック信号CK-Lの出力動作を1水平走査期間(1H)の前半で行ない、この出力動作を1水平走査期間(1H)の後半で停止するよう構成される。また、このゲートアレイ制御部G/Aは、図3に示すように、画素データ列DR(R), DR(G), DR(B)、水平スタート信号S-T-R、水平クロック信号CK-Rの出力動作を1水平走査期間(1H)の前半で停止し、1水平走査期間(1H)の後半で行なうよう構成される。ちなみに、X-TCP700, 701, ..., 709の各々は1水平走査期間において対応信号線の数だけ繰り返されるシフト動作期間を除いて休止するよう構成されても良い。

【0019】尚、この実施形態では、水平クロック信号CK-LおよびCK-Rは、特に周波数が高い信号であって、動作初期の波形と定常状態での波形とが異なる。このため、水平クロック信号CK-Lは各水平走査期間

において画素データ列DL(R), DL(G), DL(B)よりも先に送出され始める。画素データ列DL(R), DL(G), DL(B)は水平クロック信号CK-Lが定常状態になってから送出される。同様に、水平クロック信号CK-Rは各水平走査期間において画素データ列DR(R), DR(G), DR(B)よりも先に送出され始める。画素データ列DR(R), DR(G), DR(B)は水平クロック信号CK-Rが定常状態になってから送出される。

【0020】以上の構成により、ゲートアレイ制御部G/Aから第1ドライバグループ711のX-TCP700, 701, 702, 703, 704に画素データ列DL(R), DL(G), DL(B)、水平スタート信号S-T-L、水平クロック信号CK-Lを含む制御信号を供給するそれぞれの接続線路長、ゲートアレイ制御部G/Aから第2ドライバグループ721のX-TCP705, 706, 707, 708, 709に画素データ列DR(R), DR(G), DR(B)、水平スタート信号S-T-R、水平クロック信号CK-Rを含む制御信号を供給するそれぞれの接続線路長のそれぞれが図19に示す構成の略1/2に短縮される。

【0021】しかも、第1ドライバグループ711と第2ドライバグループ721とは、1水平走査期間の異なるタイムスロットにおいて駆動され、少なくとも一方が動作されている期間中、他方のドライバグループへの画素データ列の供給は停止されている。

【0022】これにより、ゲートアレイ制御部G/Aに加わる容量負荷は、図19に示す構成の略1/2に低減でき、よってゲートアレイ制御部G/Aの出力バッファで消費される電力を略1/2に低減でき、装置全体の低消費電力化が達成される。この実施形態によれば、21インチのXGA仕様の液晶ディスプレイで良好な表示画像が得られた。

【0023】次に、本発明の第2実施形態に係る液晶ディスプレイについて図4を参照して説明する。この液晶ディスプレイは上述の実施形態と基本構造において同様であるため、同様な部分の説明を簡略化し異なる部分について詳しく説明する。

【0024】液晶ディスプレイ1は、ドライバグループ711および721を独立に動作するよう制御するために駆動回路基板400に配置されるゲートアレイ制御部G/Aを有する。このゲートアレイ制御部G/Aは水平クロック信号CKおよび水平スタート信号STを外部から入力されるシステムクロック信号SCKに基づいて発生し、第1グループの赤(R)、緑(G)、青(B)表示画素に割り当てられる画素データ列DL(R), DL(G), およびDL(B)をビデオデータDATAに基づいて発生し、これらを制御信号として第1ドライバグループ711に供給すると共に、第2グループの赤(R)、緑(G)、青(B)表示画素に割り当てられる

画素データ列DR (R), DR (G), およびDR (B) をビデオデータDATAに基づいて発生し、上述の水平クロック信号CKおよび画素データ列DR (R), DR (G), およびDR (B) を制御信号として第2ドライバグループ721に供給する。

【0025】画素データ列DL (R), DL (G), DL (B) は接続配線LDL (R), LDL (G), LDL (B) を介してX-TCP700, 701, 702, 703, 704に並列的に供給される。水平スタート信号STは接続配線LSTを介して初段のX-TCP700に供給され、さらにX-TCP700, 701, ..., 709において順次転送される。このためX-TCP700, 701, ..., 709はカスケード接続される。画素データ列DR (R), DR (G), DR (B) は接続配線LDR (R), LDR (G), LDR (B) を介してX-TCP705, 706, 707, 708, 709に並列的に供給される。水平クロック信号CKは共通の接続配線LCKを介してX-TCP700, 701, ..., 709に並列的に供給される。

【0026】以上の構成により、ゲートアレイ制御部G/Aから第1ドライバグループ711のX-TCP700, 701, 702, 703, 704に画素データ列DL (R), DL (G), DL (B)、水平スタート信号ST-L、水平クロック信号CK-Lを含む制御信号を供給するそれぞれの接続線路長、ゲートアレイ制御部G/Aから第2ドライバグループ721のX-TCP705, 706, 707, 708, 709に画素データ列DR (R), DR (G), DR (B)、水平スタート信号ST-R、水平クロック信号CK-Rを含む制御信号を供給するそれぞれの接続線路長のそれぞれを図19の構成の略1/2に短縮される。

【0027】しかも、第1ドライバグループ711と第2ドライバグループ721とは、1水平走査期間の異なるタイムスロットにおいて駆動され、制御ゲートアレイ制御部G/Aから少なくとも一方のドライバグループに画素データ列が供給されている期間は、他方のドライバグループには画素データ列が供給されない。

【0028】これにより、ゲートアレイ制御部G/Aに加わる容量負荷は、図19の構成の略1/2に低減でき、よってゲートアレイ制御部G/Aの出力バッファで消費される電力を略1/2に低減でき、装置全体の低消費電力化が達成される。

【0029】この実施形態では、水平クロック信号CKがゲートアレイ制御部G/Aから第1ドライバグループ711および第2ドライバグループ721の各X-TCP700, 701, ..., 709に共通な接続配線LCKを介して1水平走査期間にわたり供給される。この場合、ゲートアレイ制御部G/Aの容量負荷は第1実施形態に比べて増大するが、クロック信号の定常化タイミングを第1ドライバグループ711および第2ドライバ

グループ721間で調整する必要がなくなり、回路構成が簡略化できるという利点がある。また、ゲートアレイ制御部G/Aの出力ピン数が低減できる。この実施形態によれば、21インチのXGA仕様の液晶ディスプレイで良好な表示画像が得られた。

【0030】第1および第2実施形態は、ドライバICがフレキシブル配線フィルムに半導体チップとしてマウントされるX-TCPを用いた。しかし、ドライバICの接続配線等は例えばアレイ基板に形成されても良い。またドライバICはCOG (Chip On Glass) 方式でアレイ基板にマウントされる半導体チップでも良い。さらには、ドライバICは走査線、信号線、画素電極、およびTFT等と一緒にアレイ基板内に形成されても良い。

【0031】図5は本発明の第3実施形態に係る液晶ディスプレイを概略的に示す。この液晶ディスプレイは以下に述べる点を除いて第1または第2実施形態の液晶ディスプレイと同様に構成される。第3実施形態に係る液晶ディスプレイでは、ドライバグループ711および721の回路がポリシリコンの活性層をベースにしたTFT230を用いてアレイ基板200上に形成される。第1および第2実施形態と同様に、画素データ列DL (R), DL (G), DL (B) は接続配線LDL (R), LDL (G), LDL (B) を介して第1ドライバグループ711に供給され、画素データ列DR (R), DR (G), DR (B) は接続配線LDR (R), LDR (G), LDR (B) を介して第2ドライバグループ721に供給される。クロック信号CK-LおよびCK-Rは第1実施形態と同様に接続配線LCK-LおよびLCK-Rをそれぞれ介してドライバグループ711および721に供給される。水平スタート信号STは第2実施形態と同様に接続配線LSTを介してドライバグループ711に供給される。この水平スタート信号STはこのドライバグループ711からドライバグループ721に1/2水平走査期間の経過後に供給される。

【0032】接続配線LDL (R), LDL (G), LDL (B)、接続配線LDR (R), LDR (G), LDR (B)、接続配線LCK-LおよびLCK-R並びに接続配線LSTはアレイ基板200および駆動回路基板400間に設けられるフレキシブル配線フィルムおよびアレイ基板200上に形成される配線パターンとで構成される。

【0033】この実施形態では、ゲートアレイ制御部G/Aが例えば上述の中央位置に設定される場合、接続配線LDL (R), LDL (G), LDL (B) および接続配線LDR (R), LDR (G), LDR (B) がこのゲートアレイ制御部G/Aに対して対称的に配置される。但し、画素データが20MHzよりも高い周波数に設定される場合には、ゲートアレイ制御部G/Aが第1および第2ドライバグループ711および721から等

距離にある中央位置からドライバグループ 711 および 721 の合計線路長の約 10% に相当する距離だけドライバグループ 711 および 721 の配列に平行な方向に離れて配置される。このため、第 1 および第 2 実施形態で述べたような効果が得られる。さらに、第 1 および第 2 ドライバグループ 711 および 721 およびこれらの配線パターンはアレイ基板 200 の回路コンポーネントとして形成されるため、ドライバ IC チップの取付工程等を省くことができる。また、第 1 および第 2 ドライバグループ 711 および 721 がこれらの配線パターンと共にアレイ基板 200 に形成される構造は次のような場合に適している。すなわち、例えばゲートアレイ制御部 G/A を第 1 および第 2 ドライバグループ 711 および 721 間の中央位置付近以外に配置することが要求される場合、第 1 および第 2 ドライバグループ 711 および 721 の内部配線容量および内部配線抵抗を考慮して配線パターンを決定できる。この実施形態においても、液晶ディスプレイの高速動作が確認された。

【0034】また、本発明は上述の第 1 から第 3 実施形態に限定されず、例えば画素データ D (R), D (G), D (B) またはスタート信号 ST を共通の接続配線を介して第 1 および第 2 ドライバグループ 711 および 721 に供給する一方で、クロック信号 CK だけを互いに電気的に分離された 2 本の接続配線を介して第 1 および第 2 ドライバグループ 711 および 721 に供給しても良い。

【0035】また、上述した実施形態では、いずれも液晶パネルの信号線に映像信号電圧を出力するドライバグループを、装置の小型化を達成するべく液晶パネルの一端辺に沿って配置した。しかしながら、互いに対向する第 1 および第 2 端辺に沿って複数のドライバグループを配置し、これら第 1 および第 2 端辺のそれぞれに沿って配置された全てのドライバグループを共通のゲートアレイ制御部 G/A により制御するものであっても構わないし、第 1 および第 2 端辺に沿って配置されたドライバグループをそれぞれ独立な第 1 および第 2 ゲートアレイ制御部 G/A により制御するものであってもかまわない。

【0036】また、上述の第 1 から第 3 実施形態では、液晶パネル 100 が XGA 用であるとして説明されたが、特に XGA に限定する必用は無い。この液晶パネル 100 は 8 個の X TCP 700, 701, 702, …, 709 を備えるが、特に 10 個に限定する必用は無い。

【0037】

【発明の効果】以上のように、本発明によれば低消費電力化の要求を満足できる映像制御装置を提供できる。また、水平画素数が増大される場合でも高速動作を可能にする映像制御装置を提供できる。

【図面の簡単な説明】

【図 1】本発明の第 1 実施形態に係る液晶ディスプレイの構造を概略的に示す断面図である。

【図 2】図 1 に示す液晶ディスプレイの一部を示す回路図である。

05 【図 3】図 1 に示す液晶ディスプレイの動作を説明するためのタイムチャートである。

【図 4】本発明の第 2 実施形態に係る液晶ディスプレイの一部を示す回路図である。

10 【図 5】本発明の第 3 実施形態に係る液晶ディスプレイの構造を概略的に示す斜視図である。

【図 6】信号波形のシュミレーションで用いられた複数の駆動部と配給部との配置関係を波形観測ポイントと共に示す図である。

15 【図 7】図 6 に示す構成においてデータ周波数 $f = 10 \text{ MHz}$ で 0%, 10%, 15% 位置に配置される配給部の出力信号波形を示す図である。

【図 8】図 7 に示す配給部の出力信号波形に対応する TCP1 の入力信号波形を示す図である。

20 【図 9】図 7 に示す配給部の出力信号波形に対応する TCP10 の入力信号波形を示す図である。

【図 10】図 6 に示す構成においてデータ周波数 $f = 20 \text{ MHz}$ で 0%, 10%, 15% 位置に配置される配給部の出力信号波形を示す図である。

25 【図 11】図 10 に示す配給部の出力信号波形に対応する TCP1 の入力信号波形を示す図である。

【図 12】図 10 に示す配給部の出力信号波形に対応する TCP10 の入力信号波形を示す図である。

30 【図 13】図 6 に示す構成においてデータ周波数 $f = 34 \text{ MHz}$ で 0%, 10%, 15% 位置に配置される配給部の出力信号波形を示す図である。

【図 14】図 13 に示す配給部の出力信号波形に対応する TCP1 の入力信号波形を示す図である。

【図 15】図 13 に示す配給部の出力信号波形に対応する TCP10 の入力信号波形を示す図である。

35 【図 16】図 6 に示す構成においてデータ周波数 $f = 40 \text{ MHz}$ で 0%, 10%, 15% 位置に配置される配給部の出力信号波形を示す図である。

【図 17】図 16 に示す配給部の出力信号波形に対応する TCP1 の入力信号波形を示す図である。

40 【図 18】図 16 に示す配給部の出力信号波形に対応する TCP10 の入力信号波形を示す図である。

【図 19】従来の液晶ディスプレイの一部を示す回路図である。

【符号の説明】

45 100 …液晶パネル

200 …アレイ基板

210 …走査線

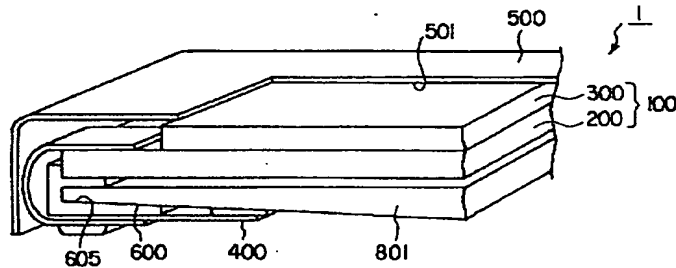
220 …信号線

230 …薄膜トランジスタ

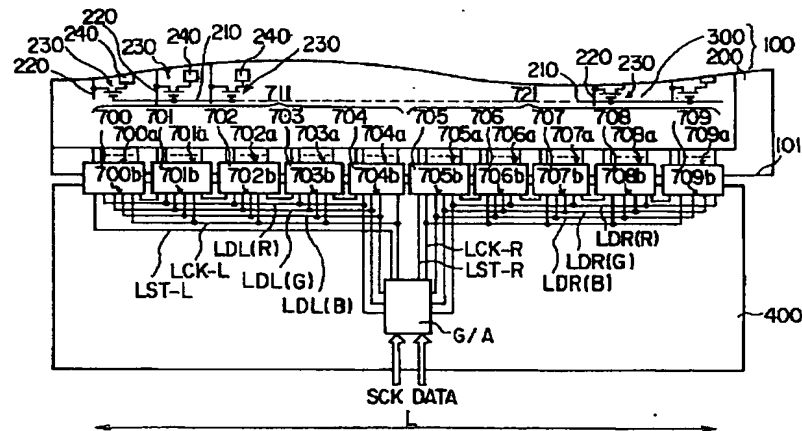
50 240 …画素電極

- 300 …対向基板
 400 …駆動回路基板
 700, 701, 702, 703, 704, 705, 706, 707, 708…X-T
 C P
 711, 721…ドライバグループ
- LCK-L, LCK-R, LCK …クロック信号用接続配線
 LST-L, LST-R, LST …スタート信号用接続配線
 LDL(R), LDL(G), LDL(B), LDR(R), LDR(G), LDR(B)…画
 素データ用接続配線
 05 G/A …ゲートアレイ制御部

【図 1】



【図 2】



【図 6】

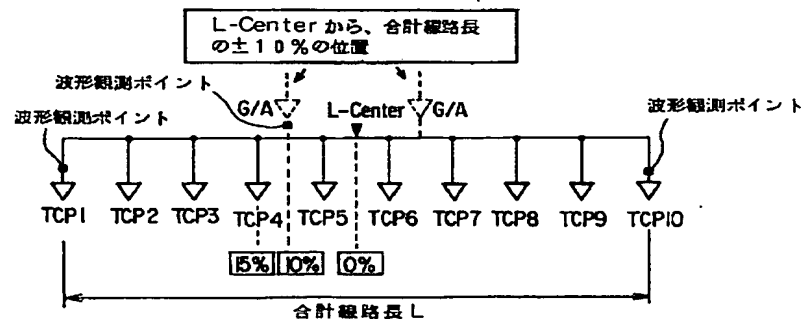
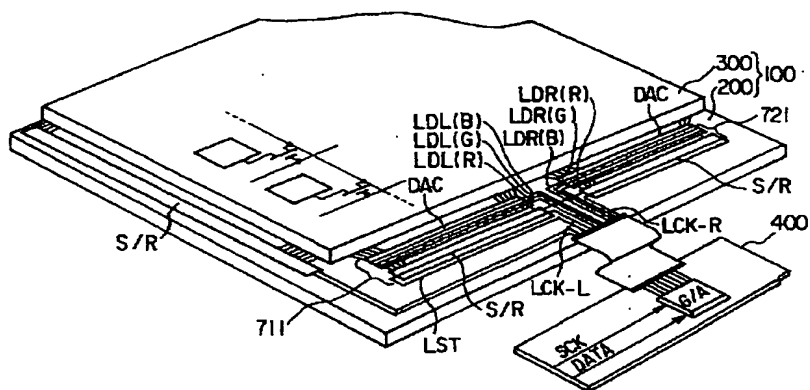
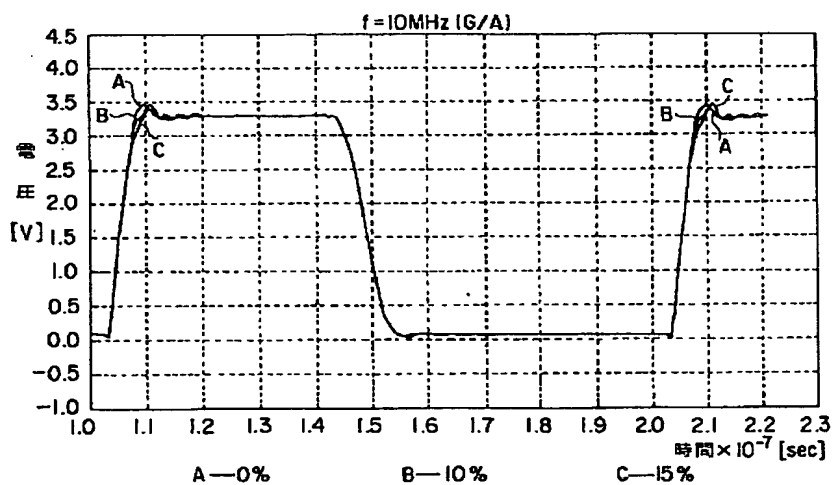


Figure 1 is a schematic diagram of a color image pickup system. The diagram shows a cross-section of the system with various components labeled. On the left, there are four rows of diamond-shaped elements labeled DL(R), DL(G), DL(B), and ST-L. Below these are two rows of rectangular elements labeled CK-L and CK-R. On the right, there are four rows of diamond-shaped elements labeled DR(R), DR(G), DR(B), and ST-R. Below these are two rows of rectangular elements labeled CK-R and CK-L. The diagram is divided into two main sections by a vertical dashed line. The left section is labeled 'L' and the right section is labeled 'R'. The total width of the system is labeled '1H'. The diagram also shows various optical paths and components like lenses and mirrors.

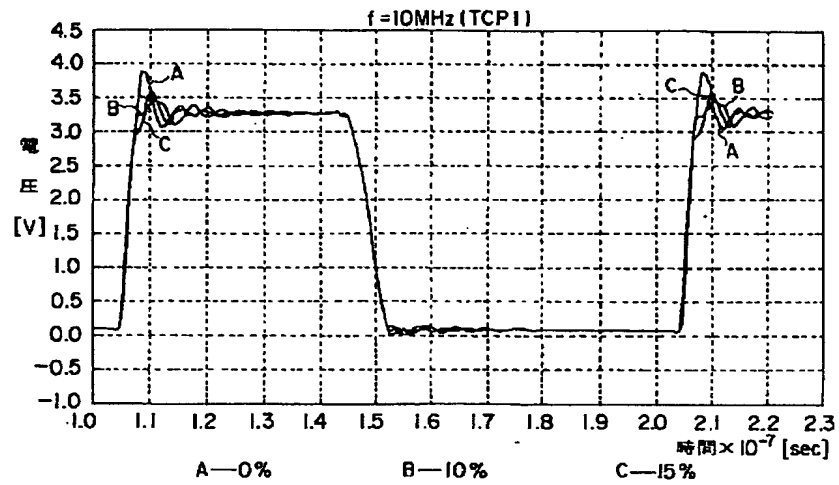
【図 5】



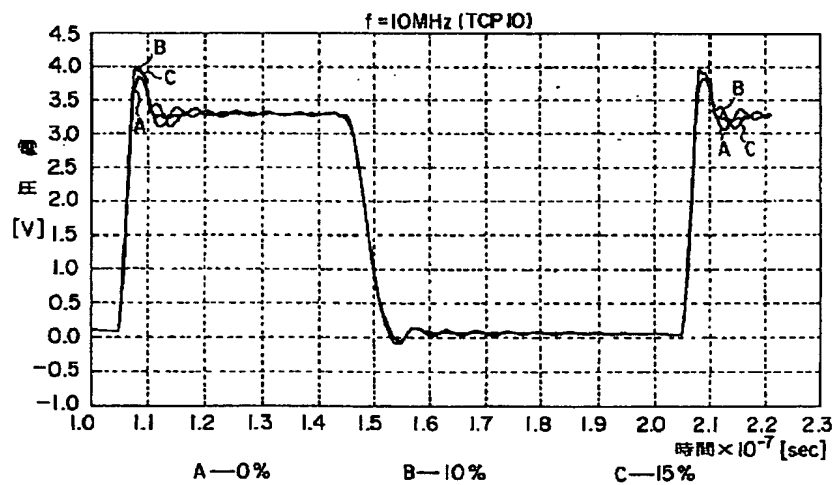
【図 7】



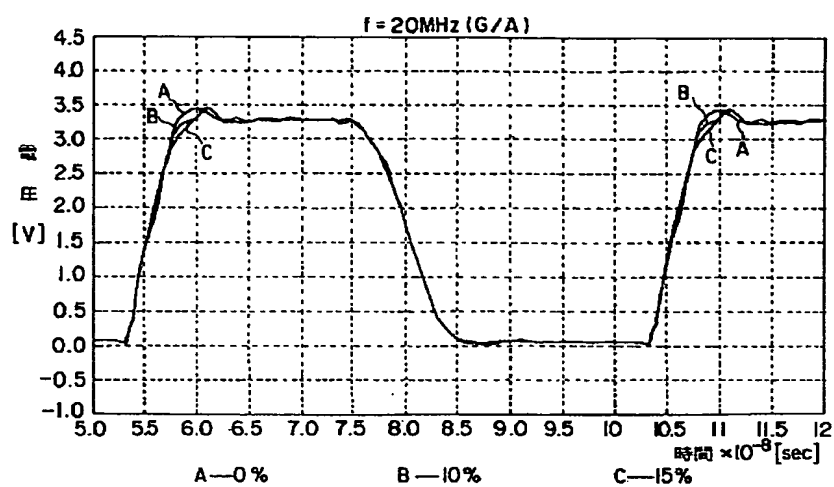
【図 8】



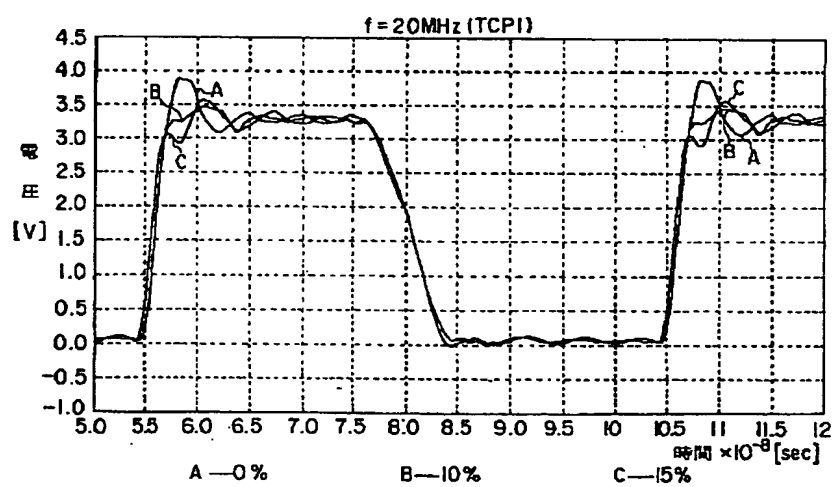
【図 9】



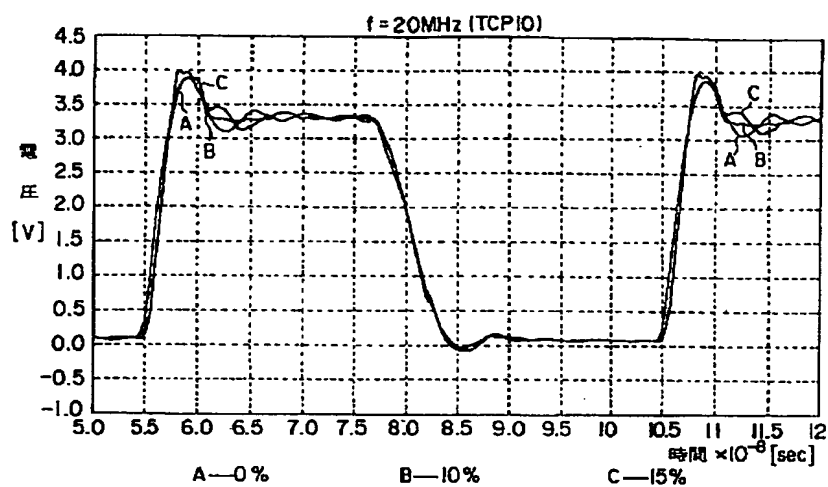
【図 10】



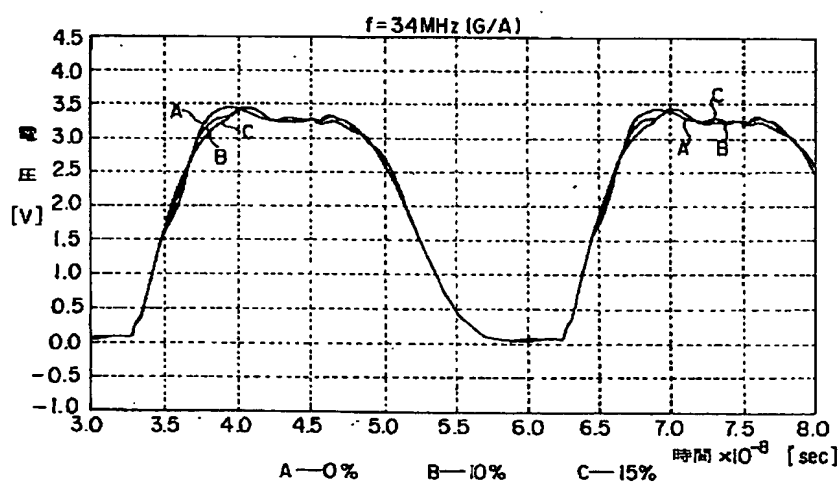
【図 11】



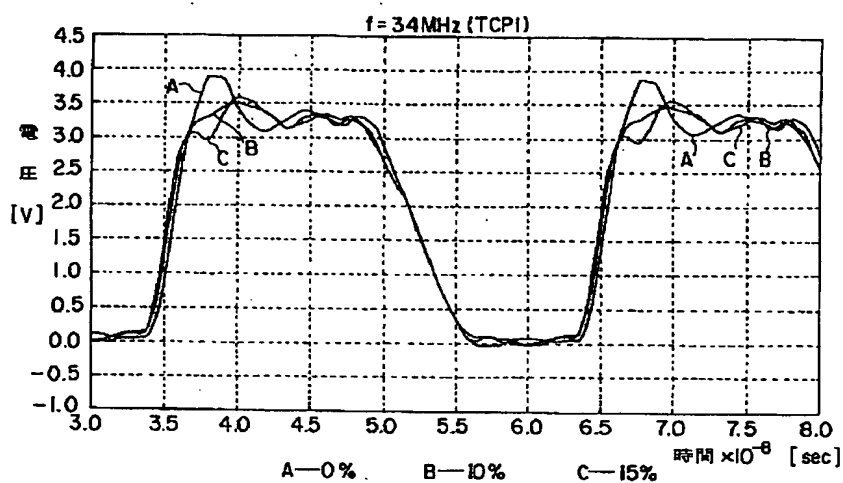
【図 12】



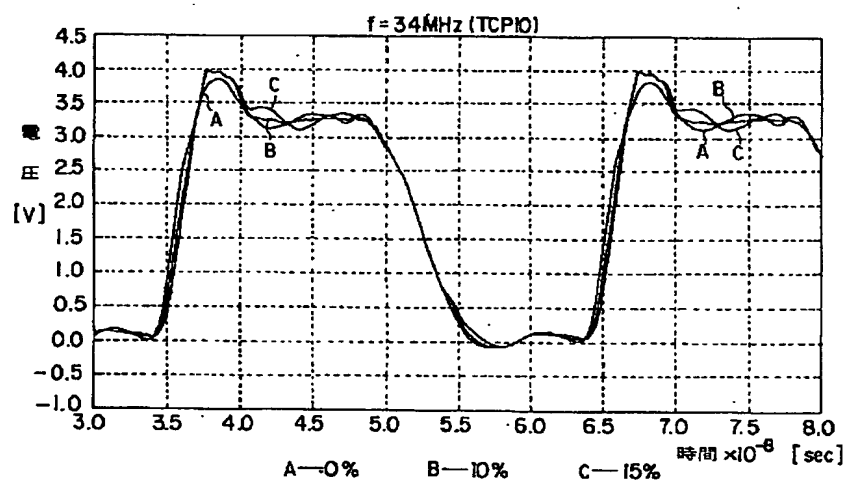
【図 13】



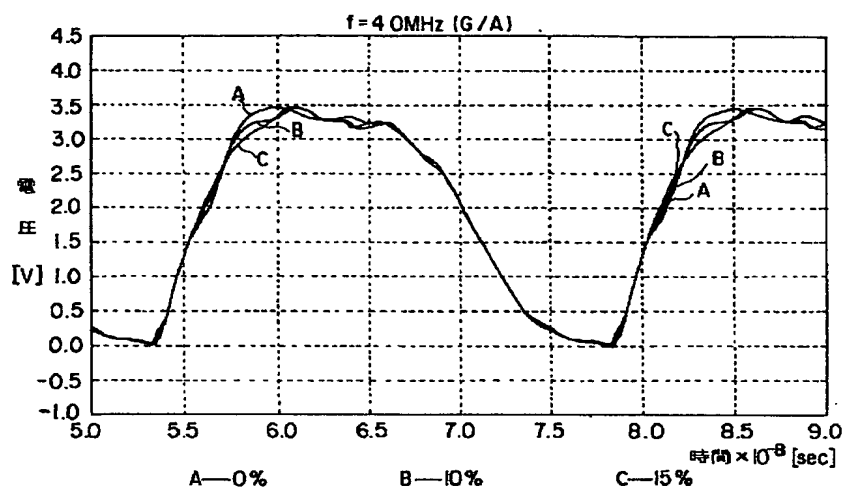
【図14】



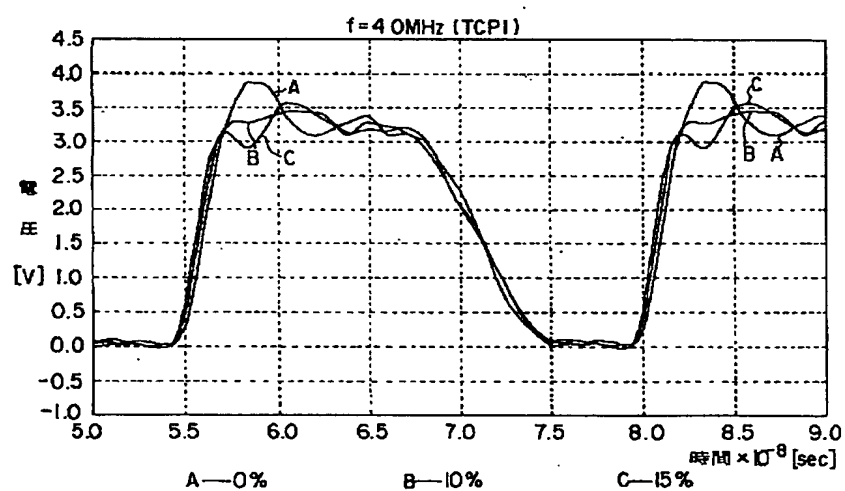
【図15】



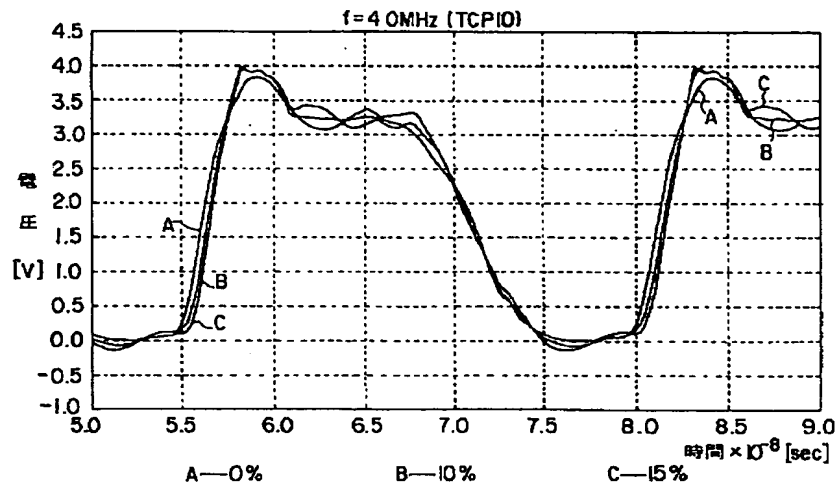
【図16】



【図17】



【図 18】



フロントページの続き

(51) Int. Cl. ⁶	識別記号	F I		
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 V	
	6 8 0		6 8 0 G	
H 0 4 N 5/66	1 0 2	H 0 4 N 5/66	1 0 2 Z	

(19) Japan Patent Office (JP)

(12) Publication of Patent Application (A)

(11) Publication Number of Patent Application: Hei-11-194750

(43) Date of Publication of Application: July 21, 1999

(51) Int. Cl.⁶

G09G 3/36

G02F 1/133

G09F 9/00

G09G 3/20

Identification Number

505

346

611

621

FI

G09G 3/36

G02F 1/133 505

G09F 9/00 346D

G09G 3/20 611A

621M

Request for Examination: not made

Number of Claims: 4 OL (16 pages in total)

To be continued to the last page

(21) Application Number: Hei-10-347

(22) Application Date: January 5, 1998

. .
.
(71) Applicant: 000221339

Toshiba Electron Engineering Co., Ltd.
7-1, Nisshin-cho, Kawasaki-ku, Kawasaki
City, Kanagawa Pref.

(71) Applicant: 000003078

Toshiba Corp.
72, Horikawa-cho, Saiwai-ku, Kawasaki City,
Kanagawa Pref.

(72) Inventor: Akiko Kaga

c/o Toshiba Electron Engineering Co., Ltd.
7-1, Nisshin-cho, Kawasaki-ku, Kawasaki
City, Kanagawa Pref.

(74) Agents: Patent Attorney, Takehiko Suzue (6 others)

[Title of the Invention]

IMAGE CONTROL DEVICE AND PLANE DISPLAY DEVICE POSSESSING
THIS IMAGE CONTROL DEVICE

[Abstract]

[Problem] To make it possible so as to satisfy a demand for
reducing an electric power consumption.

[Means for Resolution] An image control device is one driving
a liquid crystal panel 100 having plural horizontal pixel lines
each of which is constituted by plural display pixels arranged
in one column, and possesses driver groups 711, 721 of an

arrangement demarcating the pixels into two groups, and a circuit substrate 400 causing the driver groups 711, 721 to drive a display pixel in correspondence to an image data allocated to the pixels. The circuit substrate 400 contains a control part G/A distributing the pixel data for the display pixel of each group to the corresponding driver group through either of wiring LDL (R) or, LDR (R) extending to insides of the driver groups 711, 721. The control part G/A is disposed while being spaced in a direction parallel to the arrangement of the drive groups 711, 721 by a predetermined distance from a central position existing in an equal distance from the driver groups 711, 721, and the predetermined distance is set, in a case where the pixel data is a high frequency of 20 MHz or higher, to a value which is longer than 0% and shorter than 15% of a total line length of the driver groups 711, 721.

[Claims]

[Claim 1] An image control device of a plane display possessing plural horizontal pixel lines each of which is constituted by plural display pixels arranged in one column, which possesses:

1st and 2nd drive parts which are arranged so as to demarcate the plural display pixels into 1st and 2nd groups and which drive respectively the display pixels of the 1st and 2nd groups, and

a control part which outputs pixel data allocated respectively to the plural display pixels in a scanning period of each horizontal pixel line, and which controls the 1st and 2nd drive parts so as to drive the plural display pixels in correspondence to the pixel data,

characterized in that the control part contains 1st and 2nd wiring parts which are set to a mutually electrically separated state, and a supply means which is connected to the 1st and 2nd drive parts respectively by the 1st and 2nd data wiring parts and which distributes the pixel data allocated to the display pixel of each group to the corresponding drive part through only corresponding one of the 1st and 2nd data wiring parts,

the 1st and 2nd data wiring parts are constituted so as to respectively extend from the supply means to insides of the 1st and 2nd drive parts,

the supply means is disposed while being spaced in a

direction parallel to the arrangement of the 1st and 2nd drive parts by a predetermined distance from a central position existing in an equal distance from the 1st and 2nd drive parts, and

the predetermined distance is set, in a case where the pixel data is a high frequency of 20 MHz or higher, to a value which is longer than 0% and shorter than 15% of a total line length of the 1st and 2nd drive parts.

[Claim 2] An image control device set forth in claim 1, characterized in that the predetermined distance is set, in a case where the pixel data is a high frequency of 20 MHz or higher, to a value of about 10% of a total line length of the 1st and 2nd drive parts.

[Claim 3] A plane display device possessing a plane display having plural horizontal pixel lines each of which is constituted by plural display pixels arranged in one column and an image control device of this plane display,

characterized in that the image control device possesses 1st and 2nd drive parts which are arranged so as to demarcate the plural display pixels into 1st and 2nd groups and which drive respectively the display pixels of the 1st and 2nd groups, and

a control part which outputs pixel data allocated respectively to the plural display pixels in a scanning period of each horizontal pixel line, and which controls the 1st and

2nd drive parts so as to drive the plural display pixels in correspondence to the pixel data,

the control part contains 1st and 2nd wiring parts which are set to a mutually electrically separated state, and a supply means which is connected to the 1st and 2nd drive parts respectively by the 1st and 2nd data wiring parts and which distributes the pixel data allocated to the display pixel of each group to the corresponding drive part through only corresponding one of the 1st and 2nd data wiring parts,

the 1st and 2nd data wiring parts are constituted so as to respectively extend from the supply means to insides of the 1st and 2nd drive parts,

the supply means is disposed while being spaced in a direction parallel to the arrangement of the 1st and 2nd drive parts by a predetermined distance from a central position existing in an equal distance from the 1st and 2nd drive parts, and

the predetermined distance is set, in a case where the pixel data is a high frequency of 20 MHz or higher, to a value which is longer than 0% and shorter than 15% of a total line length of the 1st and 2nd drive parts.

[Claim 4] A plane display device set forth in claim 3, characterized in that the predetermined distance is set, in a case where the pixel data is a high frequency of 20 MHz or higher, to a value of about 10% of a total line length of the

1st and 2nd drive parts.

[Detailed Description of the Invention]

[0001]

[Technical Field to which the Invention Belongs] The present invention relates to an image control device of a plane display represented by a liquid crystal display, and a plane display device possessing this image control device.

[0002]

[Prior Art] Among the plane displays, the liquid crystal display has become so as to be utilized as various display devices for displays of personal computers, word processors or televisions by making the best use of characteristics in its light weight, thinness and low electric power consumption.

[0003] As shown in Fig.19 for instance, a conventional liquid crystal display possesses eight X-TCPs (Tape Carrier Packages) 700, 701, ..., 709 disposed along one end side 101 of a liquid crystal panel 100. Each X-TPC is an integral object of a flexible wiring film and a driver IC mounted on this flexible wiring film as a semiconductor chip, and outputs an image signal voltage to a signal line of the liquid crystal panel 100. Incidentally, although not shown in the drawing, plural Y-TCPs are disposed along the other one end side of the liquid crystal panel in order to output in order a scanning pulse to a scanning line. Each Y-TCP is an integral object of the flexible wiring film and the driver IC which is mounted to this

flexible wiring film as the semiconductor chip and constituted with a shift register as a main component.

[0004] The X-TCPs 700, 701, ..., 709 are mutually cascade-connected, and connected to a control part G/A of a drive circuit substrate. This control part G/A generates a horizontal clock signal CK and a horizontal start signal ST on the basis of a system clock signal SCK inputted from an outside for instance, generates pixel data D (R), D (G), D (B) of red (R), green (G), blue (B) on the basis of video data DATA, and supplies them to the X-TCPs 700, 701, ..., 709 as control signals. The horizontal clock signal CK and the pixel data D (R), D (G), D (B) are supplied to the X-TCPs 700, 701, ..., 709 in parallel. The horizontal start signal ST is supplied to the initial stage X-TCP 701, and additionally transferred in order in the X-TCPs 700, 701, ..., 709. Each of the X-TCPs 700, 701, ..., 709 is constituted by the shift register which outputs the horizontal start signal ST in response to the horizontal clock signal CK while shifts this to a next stage, and a D/A converter which samples the pixel data at an output timing of each horizontal start signal ST to thereby convert it into the image signal voltage and supplies this signal voltage to the signal line corresponding to an output position of the horizontal start signal ST.

[0005]

[Problems that the Invention is to Solve] By the way, recently,

it is demanded to reduce an electric power consumption of the liquid crystal display. In a publicly known technique, the electric power consumption of the liquid crystal display is reduced, for example, by stopping the D/A converter of each X-TCP except a drive period of the corresponding signal line.

[0006] However, this technique cannot sufficiently satisfy the demand for reducing the electric power consumption. The present invention is one made in order to solve the technical problem mentioned above, and its object is to provide an image control device capable of satisfying the demand for reducing the electric power consumption. Further, an object of the present invention is to provide an image control device which makes a high speed operation possible even in a case where a horizontal pixel number is increased.

[0007]

[Means for Solving the Problems] The objects of the present invention is achieved by an image control device of a plane display possessing plural horizontal pixel lines each of which is constituted by plural display pixels arranged in one column, which possesses 1st and 2nd drive parts which are arranged so as to demarcate the plural display pixels into 1st and 2nd groups and which drive respectively the display pixels of the 1st and 2nd groups, and a control part which outputs pixel data allocated respectively to the plural display pixels in a scanning period of each horizontal pixel line, and which

controls the 1st and 2nd drive parts so as to drive the plural display pixels in correspondence to the pixel data, wherein the control part contains 1st and 2nd wiring parts which are set to a mutually electrically separated state, and a supply part which is connected to the 1st and 2nd drive parts respectively by the 1st and 2nd data wiring parts and which distributes the pixel data allocated to the display pixel of each group to the corresponding drive part through only corresponding one of the 1st and 2nd data wiring parts, the 1st and 2nd data wiring parts are constituted so as to respectively extend from the supply part to insides of the 1st and 2nd drive parts, the supply part is disposed while being spaced in a direction parallel to the arrangement of the 1st and 2nd drive parts by a predetermined distance from a central position existing in an equal distance from the 1st and 2nd drive parts, and the predetermined distance is set, in a case where the pixel data is a high frequency of 20 MHz or higher, to a value which is longer than 0% and shorter than 15% of a total line length of the 1st and 2nd drive parts.

[0008] Generally, in a case where a data signal is transmitted on a printed board from a transmission side output end to a reception side input end through a data wiring, a reflection of the data signal occurs in the data wiring owing to a difference in impedance, a signal waveform is distorted by an overlap of reflected waves, and this becomes a generation cause

of an overshoot or an undershoot. In a case where this distortion is large, there is a fear that a malfunction occurs by an interrupt of a threshold value voltage. In this image control device, the supply part is disposed while being spaced in the direction parallel to the arrangement of the 1st and 2nd drive parts by the predetermined distance from the central position existing in the equal distance from the 1st and 2nd drive parts. The predetermined distance is set, in the case where the pixel data is the high frequency of 20 MHz or higher, to the value which is longer than 0% and shorter than 15% of the total line length of the 1st and 2nd drive parts. By this, the data signal is transmitted under conditions in which there are not generated the distortion of the signal waveform owing to an influence of the reflection, the overshoot or the undershoot, and an influence on a DC level, so that it becomes possible to obtain an ideal waveform. This has been verified by simulations of the signal waveform.

[0009] Fig.6 shows disposition relations between plural drive parts and supply parts used in the simulations of the signal waveform, together with waveform observation points. In the simulations, ten TCP1 - TCP10 were provided as plural drive parts receiving the data signal from a supply part G/A, and an output signal waveform of the supply part G/A and input signal waveforms of the TPC1 and the TPC10 were observed. The waveform observations were performed by setting a frequency

f of the data signal respectively to 10 MHz, 20 MHz, 34 MHz, 40 MHz, and disposing the supply part G/A respectively in a 0% position corresponding to a center L-Center of a total line length L of the TCP1 - TCP10, a 10% position spaced from the 0% position by a distance corresponding to 10% of the total line length L, and a 15% position spaced from the 0% position by a distance corresponding to 15% of the total line length L. Referring to Fig.7 to Fig.18 showing the signal waveforms obtained in the simulations, it is understood that there is no remarkable difference in the input signal waveform between the TCP1 and the TCP10. For this reason, for example, the input signal waveform of the TCP1 is noted. In the case where the supply part G/A is disposed in the 0% position, the DC level becomes 3.8 V from 3.3 V by the influence of the reflection. Accordingly, this disposition is not desirable. Further, in the case where the supply part G/A is disposed in the 15% position, a shoulder owing to the reflection occurs near a standing part of the waveform. However, this does not occur in the case where the data frequency is 10 MHz. From such matters, it is understood that, if the data frequency is 20 MHz or higher, it is desirable that the supply part G/A is disposed near the 10% position.

[0010]

[Mode for Carrying Out the Invention] Hereunder, a liquid crystal display concerning a 1st embodiment of the present

invention is explained by referring to the drawings. This liquid crystal display 1 contains such a liquid crystal display 100 for an XGA as shown in Fig.1. The liquid crystal panel 100 is constituted by an array substrate 200, an opposed substrate 300, and a liquid crystal layer held between these. On a glass substrate, the array substrate 200 contains a matrix array of 1024 x 3 pieces of signal lines 220, 784 pieces of scanning lines 210, thin film transistors 230 (hereafter, abbreviated to TFTs) connected to the signal lines 220 and the scanning lines 210, and pixel electrodes 240 respectively connected to these TFTs 230. The pixel electrodes 240 of each row constitute one horizontal pixel line driven by an image signal voltage supplied in one horizontal scanning period. Each TFT 230 is formed with an active layer of amorphous silicon being made a base. The opposed substrate 300 contains an opposed electrode and a color filter layer, which are formed on the glass substrate. The liquid crystal layer is constituted by a liquid crystal material held between orientation films respectively formed on the array substrate 200 and the opposed substrate 300.

[0011] As shown in Fig.1 and Fig.2, this liquid crystal display 1 possesses, for example, ten pieces of X-TCPs 700, 701, ..., 709 disposed along one end side 101 of the liquid crystal panel 100. Each of these X-TCPs 700, 701, ..., 709 is the integral object of the flexible wiring film and the driver IC mounted

on this flexible wiring film as the semiconductor chip. These X-TCPs 700, 701, ..., 709 contain 330 pieces of output terminals 700a, 701a, ..., 709a electrically connected to one ends of the signal lines 220 of the array substrate 200 in order to output the image signal voltage, and input terminals 700b, 701b, ..., 709b connected to a drive circuit substrate 400. The X-TCPs 700, 701, 702, 703, 704 constitute a 1st driver group 711, and the X-TCPs 705, 706, 707, 708, 709 constitute a 2nd driver group 721. A color display pixel of each horizontal pixel line is demarcated by driver groups 711 and 721 into 1st and 2nd groups as a drive unit. Further, although not shown in the drawing, two pieces of Y-TCPs respectively outputting a scanning pulse to the scanning line 210 are arranged along the other one end side of the liquid crystal panel 100.

[0012] This liquid crystal panel 100 is interposed as shown in Fig.1 by a 1st frame 500 consisting of a box-like metal including an opening 501 corresponding to a display region and a 2nd frame 600 of a frame-like body made of resin, and they are mutually screw-fixed in four diagonal points.

[0013] The 2nd frame 600 holds a wedge type light-guiding plate 801 molded by acrylic resin and, although not shown in the drawing, a tubular light source disposed adjacently to one end face of the light-guiding plate 801. Although not shown in the drawing, the light-guiding plate 801 contains, in a side opposite to the liquid crystal panel 100, a milk-white printed

pattern which selectively guides a light source light from the tubular light source to the liquid crystal panel 100. Instead of this printed pattern, light-scattering grooves and the like may be integrally molded. Further, this 2nd frame 600 made of resin is constituted by an integral mold or a divided mold. The light-guiding plate 801 and the tubular light source are accommodated while being overlapped in their thickness direction, and additionally the light-guiding plate 801 is supported and fixed by an accommodation groove 605. Further, this 2nd frame 600 holds the drive circuit substrate 400 mentioned above in a back face region corresponding to a thin-walled side of the light-guiding plate 801.

[0014] Here, a circuit constitution of the liquid crystal display 1 is more detailedly explained by referring to Fig.2. The liquid crystal display 1 has a gate array control part G/A disposed in the drive circuit substrate 400 in order to control the driver groups 711 and 721 so as to operate independently. This gate array control part G/A generates a horizontal clock signal CK-L and a horizontal start signal ST-L on the basis of a system clock signal SCK inputted from an outside, generates pixel data columns DL (R), DL (G) and DL (B) allocated to a 1st group of red (R), green (G), blue (B) display pixels on the basis of a video data DATA, supplies these to the 1st driver group 711 as control signals and generates a horizontal clock signal CK-R and a horizontal start signal ST -R on the basis

of the system clock signal SCK, generates pixel data columns DR (R), DR (G) and DR (B) allocated to a 2nd group of red (R), green (G), blue (B) display pixels on the basis of the video data DATA, and supplies these to the 2nd driver group 721 as control signals.

The horizontal clock signal CK-L and the pixel data columns DL (R), DL (G), DL (B) are supplied to the X-TCPs 700, 701, 702, 703, 704 in parallel through a connection wiring LCK-L and connection wiring LDL (R), LDL (G), LDL (B). The horizontal start signal ST-L is supplied to the X-TCP 700 of the initial stage through a connection wiring LST-L, and additionally transferred in order in these X-TCPs 700, 701, 702, 703, 704. For this reason, the X-TCPs 700, 701, 702, 703, 704 are cascade-connected. Each of the X-TCPs 700, 701, 702, 703, 704 is constituted by a shift register which outputs the horizontal start signal ST-L in response to the horizontal clock signal CK-L while shifts this to a next stage, and a D/A converter which samples a pixel data at an output timing of each horizontal start signal ST-L to thereby convert it into an image signal voltage and supplies this image signal voltage to the signal line 220 corresponding to an output position of the horizontal start signal ST-L.

[0015] The horizontal clock signal CK-R and the pixel data columns DR (R), DR (G), DR (B) are supplied to the X-TCPs 705, 706, 707, 708, 709 in parallel through a connection wiring LCK-R

and connection wiring LDR (R), LDR (G), LDR (B). The horizontal start signal ST-R is supplied to the X-TCP 705 through a connection wiring LST-R, and additionally transferred in order in the X-TCPs 705, 706, 707, 708, 709. For this reason, the X-TCPs 705, 706, 707, 708, 709 are cascade-connected. Each of the X-TCPs 705, 706, 707, 708, 709 is constituted by a shift register which outputs and shifts the horizontal start signal ST-R in response to the horizontal clock signal CK-R, and a D/A converter which samples a pixel data at an output timing of each horizontal start signal ST-R to thereby convert it into an image signal voltage and supplies this image signal voltage to the signal line 220 corresponding to an output position of the horizontal start signal ST-R.

[0016] The gate array control part G/A is disposed while being spaced in a direction parallel to the arrangement of the driver groups 711 and 721 by a predetermined distance from a central position existing in an equal distance from the driver groups 711 and 721 on the drive circuit substrate 400. In a case where the pixel data is a high frequency of 20 MHz or higher, this predetermined distance is set to a value which is longer than 0% and shorter than 15% of a total line length of the driver groups 711 and 721, e.g., value of about 10%. By this, line lengths to the X-TCPs 700, 701, ..., 709 can be sufficiently shortened, so that wiring capacities, wiring resistances and additionally inductances of the driver groups 711 and 721 can

be set to mutually ideal values.

[0017] The connection wiring LCK-L and the connection wiring LCK-R are disposed with the gate array control part G/A as a reference. In a case where these are disposed while being spaced in the direction parallel to the arrangement of the driver groups 711 and 721 by the predetermined distance of about 10% of the total line length of the driver groups 711 and 721 from the central position existing in the equal distance from the driver groups 711 and 721, since the line lengths of these become sufficiently short although not symmetrical, wiring capacities, wiring resistances and additionally inductances of the driver groups 711 and 721 can be set to mutually ideal values.

[0018] As shown in Fig.3, this gate array control part G/A is constituted such that output operations of the pixel data columns DL (R), DL (G), DL (B), the horizontal start signal ST-L and the horizontal clock signal CK-L are performed in a former half of one horizontal scanning period (1 H), and these output operations are stopped in a latter half of one horizontal scanning period (1 H). Further, as shown in Fig.3, this gate array control part G/A is constituted such that output operations of the pixel data columns DR (R), DR (G), DR (B), the horizontal start signal ST-R and the horizontal clock signal CK-R are stopped in the former half of one horizontal scanning period (1 H), and performed in the latter half of one

horizontal scanning period (1 H). By way of parentheses, each of the X-TCPs 700, 701, ..., 709 may be constituted so as to be paused except shift operation periods repeated by the number of corresponding signal lines in one horizontal scanning period.

[0019] Incidentally, in this embodiment, the horizontal clock signals CK-L and CK-R are signals whose frequencies are especially high, and a waveform in an initial operation and a waveform in a steady state are different. For this reason, the horizontal clock signal CK-L is started to be sent prior to the pixel data columns DL (R), DL (G), DL (B) in each horizontal scanning period. The pixel data columns DL (R), DL (G), DL (B) are sent after the horizontal clock signal CK-L has become the steady state. Similarly, the horizontal clock signal CK-R is started to be sent prior to the pixel data columns DR (R), DR (G), DR (B) in each horizontal scanning period. The pixel data columns DR (R), DR (G), DR (B) are sent after the horizontal clock signal CK-R has become the steady state.

[0020] By the above constitution, each of respective connection line lengths supplying the control signals containing the pixel data columns DL (R), DL (G), DL (B), the horizontal start signal ST-L and the horizontal clock signal CK-L from the gate array control part G/A to the 1st driver group 711 of the X-TCPs 700, 701, 702, 703, 704 and respective connection line lengths supplying the control signals

containing the pixel data columns DR (R), DR (G), DR (B), the horizontal start signal ST-R and the horizontal clock signal CK-R from the gate array control part G/A to the 2nd driver group 721 of the X-TCPs 705, 706, 707, 708, 709 is shortened to about 1/2 of the constitution shown in Fig.19.

[0021] Moreover, the 1st driver group 711 and the 2nd driver group 721 are driven in a time slot whose one horizontal scanning period is different and, during a period in which at least one is being operated, a supply of the pixel data columns to the other driver group is being stopped.

[0022] By this, a capacity load applied to the gate array control part G/A can be reduced to about 1/2 of the constitution shown in Fig.19 and, therefore, an electric power consumed by an output buffer of the gate array control part G/A can be reduced to about 1/2, so that the reduction in the electric power consumption of the whole device is achieved. According to this embodiment, a good image display was obtained in a liquid crystal display of an XGA specification of 21 inches.

[0023] Next, it is explained about a liquid crystal display concerning a 2nd embodiment of the present invention by referring to Fig.4. Since this liquid crystal display is similar in its basic structure to the above-mentioned embodiment, explanations of similar portions are simplified and explanations of different portions is detailedly made.

[0024] The liquid crystal display 1 has the gate array control

part G/A disposed in the drive circuit substrate 400 in order to control the driver groups 711 and 721 so as to operate independently. This gate array control part G/A generates a horizontal clock signal CK and a horizontal start signal ST on the basis of the system clock signal SCK inputted from the outside, generates the pixel data columns DL (R), DL (G) and DL (B) allocated to the 1st group of red (R), green (G), blue (B) display pixels on the basis of the video data DATA, supplies these to the 1st driver group 711 as control signals, generates the pixel data columns DR (R), DR (G) and DR (B) allocated to the 2nd group of red (R), green (G), blue (B) display pixels on the basis of the video data DATA, and supplies the above-mentioned horizontal clock signal CK and pixel data columns DR (R), DR (G) and DR (B) to the 2nd driver group 721 as control signals.

[0025] The pixel data columns DL (R), DL (G), DL (B) are supplied to the X-TCPs 700, 701, 702, 703, 704 in parallel through the connection wiring LDL (R), LDL (G), LDL (B). The horizontal start signal ST is supplied to the X-TCP 700 of the initial stage through a connection wiring LST, and additionally transferred in order in the X-TCPs 700, 701, ..., 709. For this reason, the X-TCPs 700, 701, ..., 709 are cascade-connected. The pixel data columns DR (R), DR (G), DR (B) are supplied to the X-TCPs 705, 706, 707, 708, 709 in parallel through the connection wiring LDR (R), LDR (G), LDR (B). The

horizontal clock signal CK is supplied to the X-TCPs 700, 701, ..., 709 in parallel through a common connection wiring LCK.

[0026] By the above constitution, each of respective connection line lengths supplying the control signals containing the pixel data columns DL (R), DL (G), DL (B), the horizontal start signal ST-L and the horizontal clock signal CK-L from the gate array control part G/A to the 1st driver group 711 of the X-TCPs 700, 701, 702, 703, 704 and respective connection line lengths supplying the control signals containing the pixel data columns DR (R), DR (G), DR (B), the horizontal start signal ST-R and the horizontal clock signal CK-R from the gate array control part G/A to the 2nd driver group 721 of the X-TCPs 705, 706, 707, 708, 709 is shortened to about 1/2 of the constitution of Fig.19.

[0027] Moreover, the 1st driver group 711 and the 2nd driver group 721 are driven in the time slot whose one horizontal scanning period is different and, in a period during which the pixel data columns are being supplied from the control gate array part G/A to at least one driver group, the pixel data columns are not supplied to the other driver group.

[0028] By this, the capacity load applied to the gate array control part G/A can be reduced to about 1/2 of the constitution of Fig.19 and, therefore, the electric power consumed by the output buffer of the gate array control part G/A can be reduced

to about 1/2, so that the reduction in the electric power consumption of the whole device is achieved.

[0029] In this embodiment, the horizontal clock signal CK is supplied over one horizontal scanning period from the gate array control part G/A to each of the X-TCPs 700, 701, ..., 709 of the 1st driver group 711 and the 2nd driver group 721 through the common connection wiring LCK. In this case, although the capacity load of the gate array control part G/A increases in comparison with the 1st embodiment, it becomes unnecessary to adjust a steadying timing of the clock signal between the 1st driver group 711 and the 2nd driver group 721, so that there is an advantage that the circuit constitution can be simplified. Further, an output pin number of the gate array control part G/A can be reduced. According to this embodiment, the good image display was obtained in the liquid crystal display of the XGA specification of 21 inches.

[0030] The 1st and 2nd embodiments have used the X-TCP in which the driver IC is mounted to the flexible wiring film as the semiconductor chip. However, the connection wiring of the driver IC and the like may be formed in the array substrate for instance. Further, the driver IC may be a semiconductor chip mounted to the array substrate in a COG (Chip On Glass) system. Additionally, the IC driver may be formed in the array substrate together with the scanning line, the signal line, the pixel electrode, the TFT and the like.

[0031] Fig.5 schematically shows a liquid crystal display concerning a 3rd embodiment of the present invention. This liquid crystal display is constituted similarly to the liquid crystal display of the 1st or 2nd embodiment except the points mentioned below. In the liquid crystal display concerning the 3rd embodiment, the circuits of the driver groups 711 and 721 are formed on the array substrate 200 by using the TFT 230 in which an active layer of polycrystalline silicon has been made a base. Similarly to the 1st and 2nd embodiments, the pixel data columns DL (R), DL (G), DL (B) are supplied to the 1st driver group 711 through the connection wiring LDL (R), LDL (G), LDL (B), and the pixel data columns DR (R), DR (G), DR (B) are supplied to the 2nd driver group 721 through the connection wiring LDR (R), LDR (G), LDR (B). Similarly to the 1st embodiment, the clock signals CK-L and CK-R are supplied to the driver groups 711 and 721 respectively through the connection wiring LCK-L and LCK-R. Similarly to the 2nd embodiment, the horizontal start signal ST is supplied to the driver group 711 through the connection wiring LST. This horizontal start signal ST is supplied from this driver group 711 to the driver group 721 after an elapse of 1/2 horizontal scanning period.

[0032] The connection wiring LDL (R), LDL (G), LDL (B), the connection wiring LDR (R), LDR (G), LDR (B), the connection wiring LCK-L and LCK-R, and the connection wiring LST are

constituted by the flexible wiring film provided between the array substrate 200 and the drive circuit substrate 400, and the wiring pattern formed on the array substrate 200.

[0033] In this embodiment, in a case where the gate array control part G/A is provided in the above-mentioned central position for instance, the connection wiring LDL (R), LDL (G), LDL (B) and the connection wiring LDR (R), LDR (G), LDR (B) are disposed symmetrically to this gate array control part G/A. However, in a case where the pixel data is set to the high frequency of 20 MHz or higher, the gate array control part G/A is disposed while being spaced in the direction parallel to the arrangement of the driver groups 711 and 721 by the distance corresponding to about 10% of the total line length of the driver groups 711 and 721 from the central position existing in the equal distance from the 1st and 2nd driver groups 711 and 721. For this reason, there are obtained such advantages as mentioned in the 1st and 2nd embodiments. Additionally, since the 1st and 2nd driver groups 711 and 721 and the wiring patterns of these are formed as circuit components of the array substrate 200, it is possible to omit an attaching process of the driver IC chip, and the like. Further, a structure in which the 1st and 2nd driver groups 711 and 721 are formed together with the wiring patterns of these in the array substrate 200 is suitable in such a case as mentioned below. That is, for example, in a case where it is demanded to dispose the gate

array control part G/A in a position other than a vicinity of the central position between the 1st and 2nd driver groups 711 and 721, the wiring patterns can be determined by considering internal wiring capacities and internal wiring resistances of the 1st and 2nd driver groups 711 and 721. Also in this embodiment, the high speed operation of the liquid crystal display was confirmed.

[0034] Further, the present invention is not limited to the above-mentioned 1st to 3rd embodiments and, for example, the pixel data D (R), D (G), D (B) or the start signal ST may be supplied to the 1st and 2nd driver groups 711 and 721 through a common connection wiring, whereas only the clock signal CK may be supplied to the 1st and 2nd driver groups 711 and 721 through two connection wiring mutually electrically separated.

[0035] Further, in the above-mentioned embodiments, in all cases the driver group outputting the image signal voltage to the signal line of the liquid crystal panel was disposed along one end side of the liquid crystal panel in order to achieve a miniaturization of the device. However, it may be one in which plural driver groups are disposed along 1st and 2nd end sides mutually opposed, and all the driver groups disposed along each of these 1st and 2nd end sides are controlled by a common gate array control part G/A, or it may be one in which the driver groups disposed along the 1st and 2nd end sides are

controlled by respectively independent 1st and 2nd gate array control parts G/As.

[0036] Further, in the above-mentioned 1st to 3rd embodiments, it has been explained that the liquid crystal panel 100 is for the XGA, but it is unnecessary to be limited to the XGA especially. This liquid crystal panel possesses the eight X-TCPs 700, 701, 702, ..., 709, but it is unnecessary to be limited to ten especially.

[0037]

[Advantages of the Invention] Like the above, according to the present invention, it is possible to provide an image control device capable of satisfying the demand for reducing the electric power consumption. Further, it is possible to provide an image control device making the high speed operation possible even in the case where the horizontal pixel number is increased.

[Brief Description of the Drawings]

[Fig.1] It is a sectional view schematically showing a structure of a liquid crystal display concerning a 1st embodiment of the present invention.

[Fig.2] It is a circuit diagram showing one part of the liquid crystal display shown in Fig.1.

[Fig.3] It is a time chart for explaining an operation of the liquid crystal display shown in Fig.1.

[Fig.4] It is a circuit diagram showing one part of a liquid

crystal display concerning a 2nd embodiment of the present invention.

[Fig.5] It is a perspective view schematically showing a structure of a liquid crystal display concerning a 3rd embodiment of the present invention.

[Fig.6] It is a diagram showing disposition relations between plural drive parts and supply parts used in simulations of a signal waveform, together with waveform observation points.

[Fig.7] It is a graph showing, in a constitution shown in Fig.6, output signal waveforms of a supply part disposed in 0%, 10%, 15% positions at a data frequency $f = 10$ MHz.

[Fig.8] It is a graph showing input signal waveforms of a TCP1, which correspond to the output signal waveforms, of the supply part, shown in Fig.7.

[Fig.9] It is a graph showing input signal waveforms of a TCP10, which correspond to the output signal waveforms, of the supply part, shown in Fig.7.

[Fig.10] It is a graph showing, in the constitution shown in Fig.6, output signal waveforms of the supply part disposed in 0%, 10%, 15% positions at a data frequency $f = 20$ MHz.

[Fig.11] It is a graph showing input signal waveforms of the TCP1, which correspond to the output signal waveforms, of the supply part, shown in Fig.10.

[Fig.12] It is a graph showing input signal waveforms of the TCP10, which correspond to the output signal waveforms, of the

supply part, shown in Fig.10.

[Fig.13] It is a graph showing, in the constitution shown in Fig.6, output signal waveforms of the supply part disposed in 0%, 10%, 15% positions at a data frequency $f = 34$ MHz.

[Fig.14] It is a graph showing input signal waveforms of the TCP1, which correspond to the output signal waveforms, of the supply part, shown in Fig.13.

[Fig.15] It is a graph showing input signal waveforms of the TCP10, which correspond to the output signal waveforms, of the supply part, shown in Fig.13.

[Fig.16] It is a graph showing, in the constitution shown in Fig.6, output signal waveforms of the supply part disposed in 0%, 10%, 15% positions at a data frequency $f = 40$ MHz.

[Fig.17] It is a graph showing input signal waveforms of the TCP1, which correspond to the output signal waveforms, of the supply part, shown in Fig.16.

[Fig.18] It is a graph showing input signal waveforms of the TCP10, which correspond to the output signal waveforms, of the supply part, shown in Fig.16.

[Fig.19] It is a circuit diagram showing one part of a conventional liquid crystal display.

[Description of Reference Numerals and Signs]

100 ...liquid crystal panel

200 ...array substrate

210 ...scanning line

220 ...signal line
 230 ...thin film transistor
 240 ...pixel electrode
 300 ...opposed substrate
 400 ...drive circuit substrate
 700, 701, 702, 703, 704, 705, 706, 707, 708...X-TCP
 711, 721... driver group
 LCK-L, LCK-R, LCK ...connection wiring for clock signal
 LST-L, LST-R, LST ...connection wiring for start signal
 LDL (R), LDL (G), LDL (B), LDR (R), LDR (G), LDR
 (B) ...connection wiring for pixel data
 G/A ...gate array control part

Continuation of the front page

(51) Int. Cl.⁶

G09G 3/20

H04N 5/66

Identification Number

623

680

102

FI

G09G 3/20 623V

680G

H04N 5/66 102Z

FIG.6

1: POSITION OF $\pm 10\%$ OF TOTAL LINE LENGTH, FROM L-Center

2: WAVEFORM OBSERVATION POINT

3: TOTAL LINE LENGTH L

FIG.7 to FIG.9

VOLTAGE [V]

TIME $\times 10^{-7}$ [sec]

FIG.10 to FIG.18

VOLTAGE [V]

TIME $\times 10^{-8}$ [sec]